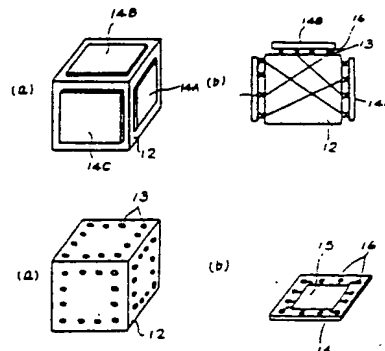


(54) SEMICONDUCTOR DEVICE

(11) 61-99361 (A) (43) 17.5.1986 (19) JP
(21) Appl. No. 59-221501 (22) 22.10.1984
(71) FUJITSU LTD (72) SHINJI EMORI
(51) Int. Cl. H01L25/04, H05K1/18

PURPOSE: To shorten the propagation time of a signal, by arranging a plurality of semiconductor chips on the surfaces of a polyhedron, providing signal transmitting paths between the chips in an approximately straight line shape, thereby shortening the maximum wiring length in comparison with the total area of the chips.

CONSTITUTION: As a polyhedron 12, a hexahedron comprising an insulating body made of ceramics and the like is used. Five chips 14A, 14B, 14C, ... are mounted on the five surfaces. Bumps 13, which are connected to the chips, are provided on the five surfaces. With respect to the bumps 13, which are connected to the other chips, straight holes are provided up to the position of each bump on the mounting surface beforehand. Both bumps are connected by wire. With respect to the chips 14A, 14B, 14C, ..., bumps 16, which are formed on the chips and the bumps 13 on the polyhedron 12 are fused and attached. The chips are arranged on the polyhedron, whose shape is close to a spherical surface, and the chips are wired by straight line wires. Therefore, the wiring length becomes short in comparison with the total area of an LSI, and the propagation time of a signal becomes short.

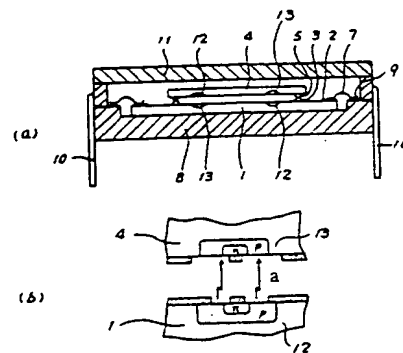


SEMICONDUCTOR DEVICE

(11) 61-99362 (A) (43) 17.5.1986 (19) JP
(21) Appl. No. 59-221525 (22) 22.10.1984
(71) FUJITSU LTD (72) SHINJI EMORI
(51) Int. Cl. H01L25/04

PURPOSE: To increase freedom in design, by laminating a plurality of semiconductor chips so that their surfaces face to each other, performing the signal transmission between the chips by light signals between the surface, thereby reducing the area of a light receiving signal, implementing high integration, and potentially isolating the chips.

CONSTITUTION: A first chip 1 is mounted on a package 8. A second chip 4 is mounted on the chip 1 with a face down. Bumps 3 and 5 are welded and both chips are wired for current conduction. Then a pad 2 at the peripheral part of the first chip 1 and an inner lead 9, which is formed on the package 8, are bonded by a wire 7. The inner lead 9 is connected to an outer lead 10. The transmission and exchange of signals between the chip are performed by light by using a light emitting element 12 and a light receiving element 13. The first chip 1 constitutes a low speed part and a power source circuit. The second chip 4 constitutes a high speed part. The chip 4 sends and receives the signals to and from the first chip 1 by light. Thus, two chips can be formed by the area for one chip. The area for signal transmission means between the chips can be made smaller than the pad or bumps. The potential between the chips can be freely selected.



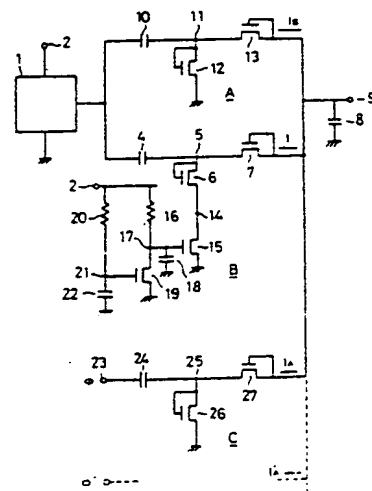
a: light

(54) SUBSTRATE-POTENTIAL GENERATING CIRCUIT

(11) 61-99363 (A) (43) 17.5.1986 (19) JP
(21) Appl. No. 59-220906 (22) 19.10.1984
(71) MITSUBISHI ELECTRIC CORP (72) YOICHI HIDA
(51) Int. Cl. H01L27/04, H01L27/10

PURPOSE: To reduce power consumption of an integrated circuit, by providing the first - third circuits, which supply bias currents to a substrate separately at the time of applying power, at the time of operation and at the time of standby.

CONSTITUTION: When a power source voltage V_{cc} is applied at a time t_0 , the voltage at a power source terminal 2 is increased to the power source voltage V_{cc} , a pulse generating circuit 1 is operated and the pulse is supplied to an output terminal 3. A first circuit A is operated by the pulse and a substrate bias current I_s flows. When the magnitude of the value of a capacitor C_{10} is adjusted, the substrate bias current I_s can be changed. A second circuit B is a circuit, which supplies a substrate bias current I only when the power source voltage V_{cc} is applied. Nodes 17 and 21 are charged toward a level "1." A parasitic capacity 18 is set so that it is smaller than the value of a capacitor 22. The node 17 is charged faster than the node 21. A pulse signal ϕ is applied to a third circuit C when the chip is operated. Therefore a required current I_A is made to flow so as to compensate for the decrease in substrate potential. Thus the low consumption can be realized in charging the current to the substrate.



4,10,24: coupling capacitor, 5,11,25: node

⑫ 公開特許公報(A)

昭61-99362

⑮ Int.Cl.⁴
H 01 L 25/04

識別記号

庁内整理番号
7638-5F

⑬ 公開 昭和61年(1986)5月17日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体装置

⑰ 特 願 昭59-221525

⑱ 出 願 昭59(1984)10月22日

⑲ 発 明 者 江 森 伸 二 川崎市中原区上小田中1015番地 富士通株式会社内
⑳ 出 願 人 富 士 通 株 式 会 社 川崎市中原区上小田中1015番地
㉑ 代 理 人 弁 理 士 松 岡 宏 四 郎

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

複数個の半導体チップをその表面が対向するよう積み重ね、チップ間の信号伝送を該表面間での光信号で行う手段を有することを特徴とする半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は複数個の半導体チップを結合してなる半導体装置に関する。

大規模集積回路(LSI)の高機能化、高集積化により、近年各種機能の回路を同一LSI内に構成する場合が多くなってきた。例えばCMOSとTTL、またはアナログとCMOSのデジタル、さらにインタフェイス回路を設けてCMOSとECL等の構成を有するLSIの要求に対し、同一チップ内に構成することは困難である。無理をして強行しても製造工程上、またその歩留りの

上からも極めて不利である。

従って回路機能別に独立のチップを用いれば、それぞれに最適なプロセスが適用でき、各機能毎の特徴が生かせることになり、そのため複数個のチップを結合してなるLSIが検討されるようになった。

この場合LSIは、有効なチップ間結合手段が必要になる。

(従来の技術)

第2図は従来例による2個のチップよりなるLSIの断面図である。

図において、パッケージ8の上に第1のチップ1を搭載し、その上に第2のチップ4をフェイスアップに載せ、パッド(ボンディングするための接続端子)3、5をワイヤ6でボンディングして両チップを結線する。つぎに第1のチップ1の周辺のパッド2と、パッケージ8にメタライズして形成された内部リード9とをワイヤ7でボンディングする。内部リード9はパッケージの外部リード10に接続されている。11はパッケージの蓋を示

す。

この例では両チップの結線をパッド間のワイヤボンディングで行ったが、第1のチップ1の上に第2のチップ4をフェイスダウンに載せ、バンブ(隆起した接続端子)、ビームリードを用いて行う場合もある。

(発明が解決しようとする問題点)

従来例によるチップ間の結合は、パッドまたはバンブ等を結線して行うため大きな面積を必要とした。

チップ間は電氣的に接続されるため、各チップの電位を自由に設定できない。インタフェイスは例えば信号を送る方のチップのレベルがTTLの場合は、受ける方のチップのレベルもTTLでなければならない。

(問題点を解決するための手段)

上記問題点の解決は、複数個の半導体チップをその表面が対向するよう積み重ね、チップ間の信号伝送を該表面間での光信号で行う手段を有する本発明による半導体装置により達成される。

ここでチップ間の信号の伝達、交換は発光素子12と受光素子13により光で行う。第1図(a)に示されるように発光素子12としてエミッターベース間のブレイクダウン発光を用いたトランジスタを、受光素子13としてベース開放のフォトリソトランジスタを用いる。

第1のチップ1は、珪素(Si)を用い低速度部と電源回路を形成する。

第2のチップ4は、ガリウム砒素(GaAs)を用い高速部を形成し、ここである程度まとまった処理を済ませ、結果的に遅い信号授受でよいような構成にして、光により第1のチップ1と信号授受を行う。

例えば第2のチップ4はプロセッサを構成し、内部は回路を簡単化するため1ビットの演算器にする。しかし出力はパラレルになるようにインタフェイスを考慮すればよい。しかし第2のチップ4は高価であるためパラレル処理の回路をチップに入れるとチップサイズは大きくなり、歩留りが低下する。

(作用)

各チップに設ける発、受光素子の面積はパッドやバンブより小さい面積で形成でき、高集積化が可能となる。

またチップ間の信号伝送を光信号で行うため、チップ間は電位的に分離され、設計の自由度が増す。

(実施例)

第1図(a), (b)はそれぞれ本発明による2個のチップよりなるLSIの断面図、光伝送部を拡大した断面図である。

図において、パッケージ8の上に第1のチップ1を搭載し、その上に第2のチップ4をフェイスダウンに載せ、バンブ3, 5を熔着して両チップの電源等電流の流れる所を結線する。つぎに第1のチップ1の周辺のパッド2と、パッケージ8にメタライズして形成された内部リード9とをワイヤ7でボンディングする。内部リード9はパッケージの外部リード10に接続されている。11はパッケージの蓋を示す。

ここでは1ビットを直列処理する簡単な回路にしたため、その高速性を生かしてビットを小さく落とした演算処理をして、結果だけを光でやりとりをする。

以上のようにシリアルに処理したデータをパラレルに出すような構成に過している。

(発明の効果)

以上説明したように本発明によれば、

- i. チップ2個を1チップ分の面積で構成できる。
 - ii. 各チップは異なるテクノロジーのLSIで構成できる。
 - iii. チップ間の信号の伝達手段に要する面積はパッドまたはバンブより小さくてすむ。
 - iv. チップ間の電位は自由に選択できる。
4. 図面の簡単な説明

第1図(a), (b)はそれぞれ本発明による2個のチップよりなるLSIの断面図、光伝送部を拡大した断面図である。

第2図は従来例による2個のチップよりなるLSIの断面図である。

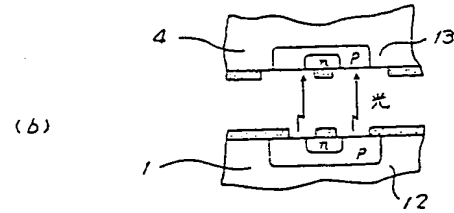
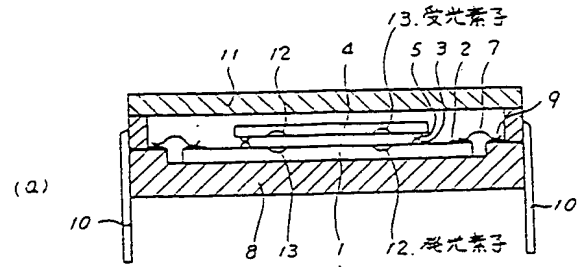
図において、

1 は第 1 のチップ、 2 はパッド、
 3, 5 はバンブ、 4 は第 2 のチップ、
 6, 7 はワイヤ、 8 はパッケージ、
 9 は内部リード、 10 は外部リード、
 11 は蓋、 12 は発光素子、
 13 は受光素子
 を示す。

代理人 弁理士 松岡宏四郎



第 1 図



第 2 図

